

DIGITAL OPERATING ELEMENT

Patent Number: JP5022119
Publication date: 1993-01-29
Inventor(s): KAMATA TADASHI
Applicant(s): NIPPONDENSO CO LTD
Requested Patent: ☐ JP5022119
Application Number: JP19910201430 19910715
Priority Number(s):
IPC Classification: H03K19/21; H01L49/00; H03K19/08
EC Classification:
Equivalents: JP3213974B2

Abstract

PURPOSE: To obtain the high-speed and compact digital operating element for executing XOR or NXOR operation.
CONSTITUTION: Between an electrode 1 and electrodes 2, 3, a high electric field is generated by a negative power source connected to the electrode 1, and electron beams are generated from the head part of the conical electrode 1 where the electric field strength is highest. Among these generated electron beams, the electron beam passing between the electrodes 2 and 3 is advanced to a space held there between by electrodes 4 and 5. At this time, when the electrodes 4 and 5 have the same potential, the above-mentioned electron beam arrives at an electrode 6 along the route of a real line. On the other hand, when the electrodes 4 and 5 have different potential, the electron beam arrives at an electrode 7 or 8 along the route of a broken line or an alternate long and short line. Thus, this digital operating element is operated as XOR or NXOR and is miniaturized in comparison with the case of using a CMOS element, mounting density is improved and extremely high-speed operations are enabled.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-22119

(43)公開日 平成5年(1993)1月29日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|----------|-----|--------|
| H 0 3 K 19/21 | | 7827-5 J | | |
| H 0 1 L 49/00 | | 8728-4 M | | |
| H 0 3 K 19/08 | Z | 8941-5 J | | |

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-201430

(22)出願日 平成3年(1991)7月15日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 鎌田 忠

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

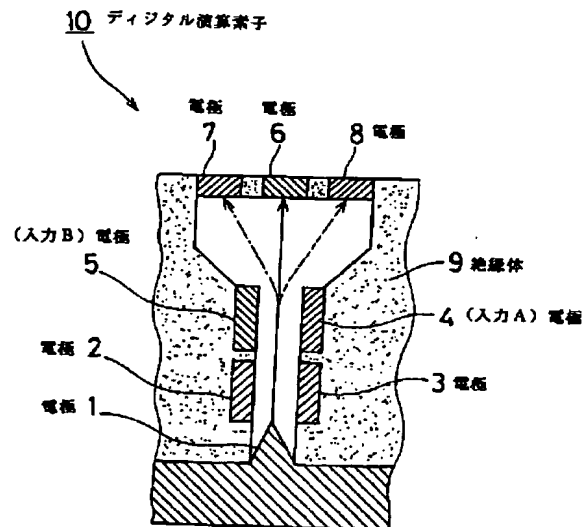
(74)代理人 弁理士 藤谷 修

(54)【発明の名称】 デジタル演算素子

(57)【要約】

【目的】 高速で小型のXOR又はNXOR演算を行うデジタル演算素子を提供すること。

【構成】 電極1と電極2及び3との間には電極1に接続された負電源により高電界が発生され、円錐状の電極1の電界強度が最も高い先端部分より電子線が発生する。この発生した電子線のうち電極2及び3の間を通過したものは、電極4及び5にて挟まれた空間に進入する。この時、上記電子線は電極4及び電極5が同電位であれば、実線の経路にて電極6に到達する。一方、電極4と電極5とが異なる電位であれば、破線又は一点鎖線の経路にて電極7又は電極8に到達する。これにより、本発明のデジタル演算素子はXOR又はNXORとして動作し、CMOS素子を用いた場合に比べて小型化され実装密度が向上すると共に極めて高速な動作が可能となる。



【特許請求の範囲】

【請求項1】 電子線を発生させる電子線発生装置と、前記電子線発生装置により発生された電子線の進行方向が所定の角度だけ変化するような電界を発生させる電界発生装置と、前記電子線発生装置により発生された電子線の到達位置に対応して受信／非受信を区別する電子線受信装置とから成り、前記電界発生装置は2つの入力電極を有し、該電極による電界の発生の有無に対応して変化する前記電子線受信装置の受信状態により排他的論理和（XOR）又は一致（NXOR）演算を行うことを特徴とするデジタル演算素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、排他的論理和（XOR）又は一致（NXOR）演算を行うデジタル演算素子に関し、全加算器などデジタル回路一般に応用が可能である。

【0002】

【従来技術】従来、排他的論理和（以下、XORという）又は一致（以下、NXORという）演算は、デジタル論理において、一般に使用されている機能である。2つの入力変数に関するXOR機能の真理値表を示した図4(a)によれば、入力の1つだけが低い場合を除いて、その出力は低い。即ち、両方の入力が高いか又は低い場合には、出力は低い。又、2つの入力変数に関するNXOR機能の真理値表を示した図4(b)によれば、入力の1つだけが低い場合を除いて、その出力は高い。即ち、両方の入力が高いか又は低い場合には、出力は高い。これらXOR又はNXOR演算は全加算器などデジタル回路に多用されており、近年マイクロプロセッサの高速化の要求と共にその高速演算能力などが重要性を増している。ここで、特公昭61-8968号公報「加算回路」及び特開昭64-49423号公報「相補形金属-酸化膜-半導体回路」にて開示されたものが知られている。前者においては、MOS（Metal Oxide Semiconductor：絶縁ゲート型電界効果）トランジスタを用いた論理回路である加算回路が示されている。この加算回路ではMOSTランジスタを用いたXORゲートの問題点として、素子数の多さや回路構成の複雑さを述べている。そして、加算回路をNANDゲートやORゲートなどにて構成することにより素子数を減少させ、構成を簡単とし高速動作を可能としている。又、後者においては、CMOS（Complementary MOS）回路を用いたXORゲートが示されている。このものは、従来に比べて、XORゲートの素子数及び基板面積を減少させ動作速度を速めたものとしている。

【0003】

【発明が解決しようとする課題】上述したように、今日

一般的なXOR演算は、CMOS素子を用いた回路にて行われている。CMOS素子を用いた回路にてXOR演算を行うには、未だ素子数が多く基板面積も相当なものであり、且つ、高速動作は難しいという問題があった。

【0004】本発明は、上記の課題を解決するために成されたものであり、その目的とするところは、高速で小型のXOR又はNXOR演算を行うデジタル演算素子を提供することにある。これにより、デジタル回路及びデジタル計算機は、極めて高速化され、低コスト化され、更に応用範囲が広がることが期待できる。

【0005】

【課題を解決するための手段】上記課題を解決するための発明の構成は、電子線を発生させる電子線発生装置と、該電子線発生装置により発生された電子線の進行方向が所定の角度だけ変化するような電界を発生させる電界発生装置と、前記電子線発生装置により発生された電子線の到達位置に対応して受信／非受信を区別する電子線受信装置とから成り、前記電界発生装置は2つの入力電極を有し、該電極による電界の発生の有無に対応して変化する前記電子線受信装置の受信状態によりXOR又はNXOR演算を行うことを特徴とする。

【0006】

【作用及び効果】電子線発生装置により電子線が発生される。次に、電界発生装置の入力電極による電界発生の有無により上記電子線の進行方向が所定の角度だけ変化する。そして、電子線受信装置により上記電子線の到達位置に対応して受信／非受信の状態が区別されXOR又はNXOR演算が行われる。これにより、本発明のデジタル演算素子はCMOS素子を用いた場合に比べて数段小型化され実装密度が向上すると共に極めて高速な動作が可能となる。

【0007】

【実施例】以下、本発明を具体的な実施例に基づいて説明する。図1は本発明に係るデジタル演算素子10の構成を示した縦断面図である。1は電子線の放出を行う陰極（エミッタ）となる電極であり、例えば、半導体製造技術を用いたシリコン（100）基板の異方性エッチングにより円錐状に微細加工する。2及び3は電極1が電子線を放出するために必要な電界を発生させ、更に、電子線の進行方向をコントロールするための電極である。上記電極1及び電極2、3により電子線発生装置が構成される。4及び5は入力信号を与えるための電極であり、電極4、5により電界発生装置が構成される。6、7、8は出力信号を取り出すための電極であり、電極6、7、8により電子線受信装置が構成される。尚、上記電極2～8は、例えば、高融点金属であるタングステンなどで各々形成される。又、上記電極1～8は、例えば、SiO₂などで作られた絶縁体9にて空間的にそれぞれ固設されている。そして、電子線が進行する上記電極1～8で囲まれた空間は、高真空又は希ガスで満たさ

れている。

【0008】図2は上記電極2～8の電極形状を示した横断面図である。図2(a)に示されたように、電極6及び電極7、8は電子線の進行方向に対して同心円状に配設され、電極6は円柱状、電極7、8は円筒状の構造である。又、図2(b)に示されたように、電極4、5は電子線の進行方向に対して2つに縦割りにされた円筒状の対向する構造である。そして、図2(c)に示されたように、電極2、3は電子線の進行方向に対して円筒状に配設された構造である。又、上述の実施例におけるデジタル演算素子10全体としては、例えば、半導体集積回路の製造工程を用いれば、縦・横・厚み寸法は各々数 μ m程度の大きさにて実現が可能である。

【0009】次に、その作用を説明する。電極1と電極2及び3との間には電極1に接続された負電源（数百V）により高電界が発生される。すると、円錐状の電極1の電界強度が最も高い先端部分より電子線が発生する。この発生した電子線のうち電極2及び3の間を通過したものは、電極4及び5にて挟まれた空間に進入する。この時、電極4（入力A）及び電極5（入力B）が同電位であれば、即ち、 $A=0$ 且つ $B=0$ 又は $A=1$ 且つ $B=1$ の場合には、図1に実線にてその経路を示したように、上記電子線は電極6に到達するため電極6には負電位が発生する。一方、電極4と電極5とが異なる電位であれば、即ち、 $A=0$ 且つ $B=1$ 又は $A=1$ 且つ $B=0$ の場合には、上記電子線は電極4と電極5との間で*

*進行方向に直交する電界の力を受けることになる。そして、図1に破線又は一点鎖線にてその経路を示したように、上記電子線はその進行方向が変化される。すると、上記電子線は電極7又は電極8に到達してそれら電極7、8に負電位が生ずる。そして、負電位が発生した電極を0又は1、発生しない電極を1又は0に対応させれば、デジタル演算素子であるXOR又はNXOR演算素子として動作することになる。

【0010】図3は上述のデジタル演算素子10の外部接続を示した回路図である。尚、各信号線には図1の電極と同じ符号を付しそれぞれ対応させてある。電極1の信号線には電子線が発生させるための負電源15が接続される。又、電極6の信号線は、必要ならば増幅器16を介して次段の素子20などと接続される。

【図面の簡単な説明】

【図1】本発明の具体的な一実施例に係るデジタル演算素子の構成を示した縦断面図である。

【図2】同実施例に係るデジタル演算素子の各電極形状を示した横断面図である。

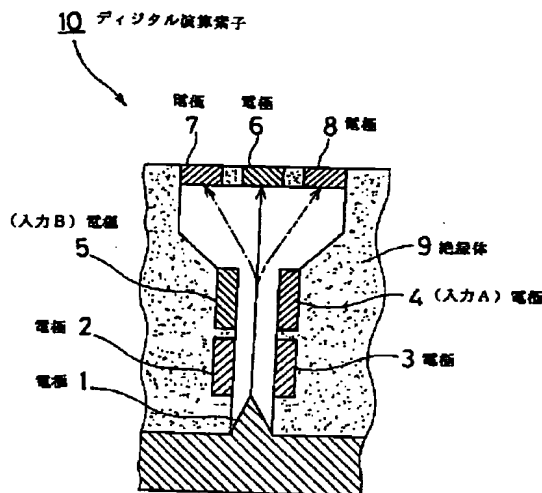
【図3】同実施例に係るデジタル演算素子の外部接続を示した回路図である。

【図4】XOR及びNXORの論理を表したテーブルである。

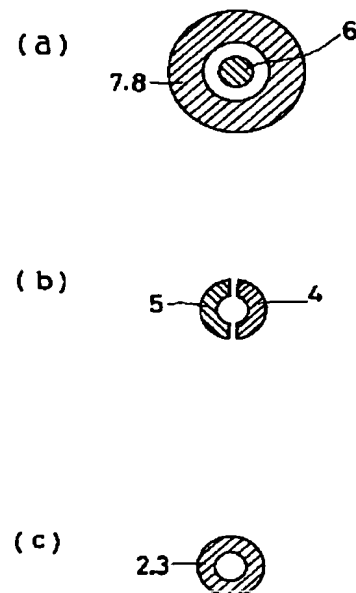
【符号の説明】

1～8－電極 9－絶縁体 10－デジタル演算素子

【図1】



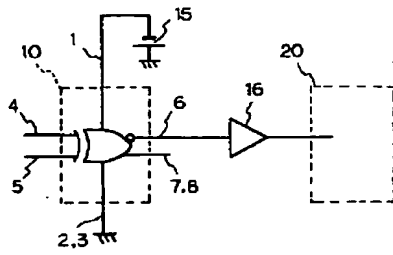
【図2】



(4)

特開平5-22119

【図3】



【図4】

(a)

| A | B | X |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

(b)

| A | B | X |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |